

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-345480

(43)Date of publication of application : 05.12.2003

(51)Int.Cl.

G06F 3/00  
G06F 1/18

(21)Application number : 2002-156007

(71)Applicant : HITACHI LTD

(22)Date of filing : 29.05.2002

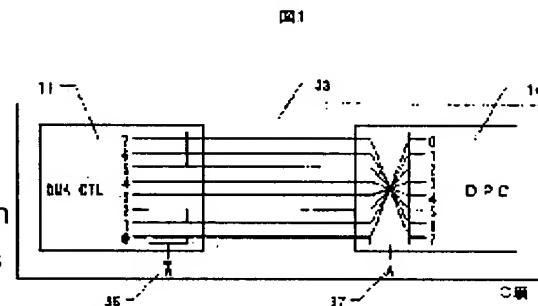
(72)Inventor : YAGI SATOSHI  
KYO SHIYOMEI

## (54) BUS CONNECTION SYSTEM AND SEMICONDUCTOR CHIP USED FOR IT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To realize wiring under a severe condition of limitation on delay time by making the wiring on the printed board be hardly affected by noise.

**SOLUTION:** In a bus connection system where a plurality of bits between semiconductor chips 11, 14 mounted on the printed board 33 are connected by a bus, the bus connection on the printed board is formed in a straight pattern wiring; a rearrangement part of the bus connection is provided in the semiconductor chip; and external setting parts 36, 37 of the semiconductor chip are provided to arrange a bus arrangement in the rearrangement part to straight connection or reverse connection. Also, an internal setting part 71 incorporated in the semiconductor chip is provided to arrange the bus arrangement in the rearrangement part to straight connection or reverse connection.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Da

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2003-345480  
(P2003-345480A)

(43)公開日 平成15年12月5日 (2003.12.5)

(51)Int.Cl.<sup>7</sup>

G 0 6 F 3/00  
1/18

識別記号

F I

G 0 6 F 3/00  
1/00

テマコート(参考)

S  
3 2 0 G

審査請求 未請求 請求項の数 6 O.L (全 9 頁)

(21)出願番号

特願2002-156007(P2002-156007)

(22)出願日

平成14年5月29日 (2002.5.29)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 八木聰

神奈川県小田原市中里322番地2号 株式会社日立製作所R A I Dシステム事業部内

(72)発明者 姜小明

神奈川県小田原市中里322番地2号 株式会社日立製作所R A I Dシステム事業部内

(74)代理人 100093492

弁理士 鈴木市郎 (外1名)

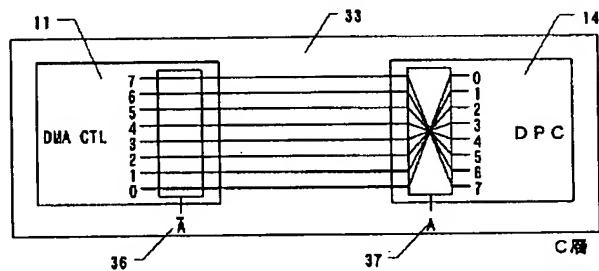
(54)【発明の名称】 バス接続方式及びこれに用いる半導体チップ

(57)【要約】

【課題】 プリント基板上での配線がノイズを受け難い配線とし、遅延時間制限が厳しい条件での配線を可能とすること。

【解決手段】 プリント基板33上に実装された半導体チップ11、14間の複数ビットをバスで接続するバス接続方式において、プリント基板上のバス接続をストレートのパターン配線とし、半導体チップ内にバス接続の並び替え部を設け、並び替え部におけるバスの並びを正接続又は逆接続とするための半導体チップの外部設定部36、37を設けること。また、並び替え部におけるバスの並びを正接続又は逆接続とするための半導体チップ内蔵の内部設定部71を設けるバス接続方式。

図1



### 【特許請求の範囲】

【請求項1】 プリント基板上に実装された半導体チップ間の複数ビットをバスで接続するバス接続方式において、

前記プリント基板上のバス接続をストレートのパターン配線とし、

前記半導体チップ内にバス接続の並び替え部を設け、前記並び替え部におけるバスの並びを正接続又は逆接続とするための前記半導体チップの外部設定部を設けることを特徴とするバス接続方式。

【請求項2】 プリント基板上に実装された半導体チップ間の複数ビットをバスで接続するバス接続方式において、

前記プリント基板上のバス接続をストレートのパターン配線とし、

前記半導体チップ内にバス接続の並び替え部を設け、前記並び替え部におけるバスの並びを正接続又は逆接続とするための前記半導体チップ内蔵の内部設定部を設けることを特徴とするバス接続方式。

【請求項3】 プリント基板上に実装された半導体チップ間のバイト毎の複数ビットをバスで接続するバス接続方式において、

前記プリント基板上のバス接続をストレートのパターン配線とし、

前記半導体チップ内にバイト毎のバス接続の並び替え部を設け、

前記並び替え部におけるバイト毎のバスの並びを変更するための、前記半導体チップの外部設定部又は前記半導体チップ内蔵の内部設定部を設けることを特徴とするバス接続方式。

【請求項4】 請求項1又は2のバス接続方式において、

前記バス並びの正接続又は逆接続に代えて、前記複数ビットをランダムに変更可能とすることを特徴とするバス接続方式。

【請求項5】 バス接続がストレートのパターン配線されたプリント基板上の半導体チップであって、

前記半導体チップ内にバス接続の並び替え部を設け、前記並び替え部におけるバスの並びを正接続又は逆接続とするための前記半導体チップの外部設定部を設けることを特徴とする半導体チップ。

【請求項6】 バス接続がストレートのパターン配線されたプリント基板上の半導体チップであって、

前記半導体チップ内にバス接続の並び替え部を設け、前記並び替え部におけるバスの並びを正接続又は逆接続とするための前記半導体チップ内蔵の内部設定部を設けることを特徴とする半導体チップ。

### 【発明の詳細な説明】

#### 【0001】

【発明の属する技術分野】 本発明は、外部と接続するた

めの複数ビットの幅をもつB U S (バス) を有する半導体チップにおいて、プリント基板上の配線を容易にする技術に関する。

#### 【0002】

【従来の技術】 従来、電子機器ではその機能を実現するために複数の半導体チップを搭載している。ディスクアレイサブシステムを例に説明する。ディスクアレイサブシステムは、パソコンやワークステーションに接続され、基本的な動作としてはパソコンやワークステーションからデータを受取りそのデータに保証コードを付加してハードディスクに格納する。

【0003】 この動作を実現するためには、複数の半導体チップが必要となる。全体の制御を行うM P U、パソコンやワークステーションとのインターフェースを制御するインターフェース制御チップ、パソコンやワークステーションからのデータを一旦格納するメモリ、ハードディスクとのインターフェースを制御するインターフェース制御チップ、という複数の半導体チップを使用して機能を実現している。

【0004】 この半導体チップ間は、制御、データの受渡しのために接続する必要があるが、それはプリント基板上に半導体チップを搭載し、プリント基板のパターンにて接続することとなる。高性能に対する要求が高まっており、それに応じるために各半導体チップ間の制御情報、データの転送速度を上げる必要があり、B U S幅を広げたり（バス接続本数を増加したり）、動作周波数を上げることで対応している。

【0005】 また、L S I の外部入出力端子の機能割り当てを設定変更するために端子配置を可変にする従来技術として、特開平10-260757号公報には、複数の入出力ノードを有する内部回路と複数の外部入出力端子を備えたL S Iにおいて、クロック信号によりインクリメントされるカウンタの出力に基づいて、内部回路と外部の入出力端子間を選択的に接続することが開示されている。

#### 【0006】

【発明が解決しようとする課題】 しかしながら、B U S幅を広げた場合、半導体チップ間を接続する信号線間の空間的なすきまを狭くしたり、複数の層を使用して配線する必要がある（プリント基板上の配線パターンは一平面上に形成されるので、1つのプリント基板上ではクロス配線はできず、複数の層を使用してクロス配線する）。信号線が層をまたがる場合、信号の品質が低下することとなり、誤動作の原因となる。

【0007】 また、信号線間のすきまが狭い場合、他の信号線からの影響を受けやすくなり、ノイズが混入することにより誤動作の可能性がある。また、動作周波数を上げると、プリント基板上の遅延に対する制限が厳しくなり、実現が困難となるという課題が生じる。

#### 【0008】 特に、ディスクアレイサブシステムは多数

のHDD（ハードディスクドライブ）に対するアクセスを処理するため、DMA CTL（ダイナミックメモリアクセスコントローラ）とDPC（ドライブインターフェースプロトコルコントローラ）との間は、大量のデータを高速に転送することが求められる。データ転送速度が高速であるほど、DMA CTLとDPCとを接続する複数の信号線毎においても、厳しい遅延時間制限が要求される。したがって、DMA CTLとDPCとを接続する複数の信号線の長さは、可能な限り均一である必要がある。

【0009】同様の理由により、ディスクアレイサブシステムにおいて、HPC（ホストインターフェースプロトコルコントローラ）とDMA CTLとを接続する複数の信号線の長さも、可能な限り均一である必要がある。

【0010】また、上述した公報には、端子間を選択的に接続する技術が開示されているが、この選択的接続に使用する選択回路は、一致検出回路、ラッチ／デコード部、入出力セレクタから構成されているものであり、プリント基板上のパターン配線を用いた選択的接続を採用するものではなくて、複雑な回路構成を要するものである。

【0011】本発明の目的は、プリント基板上での配線がノイズを受け易い配線とならずに、且つ遅延時間制限が厳しい条件での配線を可能とするバス接続方式を提供することにある。

#### 【0012】

【課題を解決するための手段】前記課題を解決するために、本発明は主として次のような構成を採用する。プリント基板上に実装された半導体チップ間の複数ビットをバスで接続するバス接続方式において、前記プリント基板上のバス接続をストレートのパターン配線とし、前記半導体チップ内にバス接続の並び替え部を設け、前記並び替え部におけるバスの並びを正接続又は逆接続とするための前記半導体チップの外部設定部を設けるバス接続方式。

【0013】また、プリント基板上に実装された半導体チップ間の複数ビットをバスで接続するバス接続方式において、前記プリント基板上のバス接続をストレートのパターン配線とし、前記半導体チップ内にバス接続の並び替え部を設け、前記並び替え部におけるバスの並びを正接続又は逆接続とするための前記半導体チップ内蔵の内部設定部を設けるバス接続方式。

#### 【0014】

【発明の実施の形態】本発明の実施形態に係るバス接続方式について、図1、図2及び図3を用いて説明する。まず、本実施形態に係るバス接続方式の基盤的技術について図4～図8を参照しながら以下説明する。

【0015】図4は本発明の実施形態に係るバス接続方式を適用するディスクアレイサブシステムに関する全体構成を示す図であり、図5はディスクアレイサブシス

テムの構成及びデータ流れを示すブロック図であり、図6はプリント基板に半導体チップを搭載して半導体チップ間の接続関係を示す図であり、図7は半導体チップ間のバス接続方式の基本的技術を示す図であり、図8は半導体チップ間のバス接続方式の他の基本的技術を示す図である。

【0016】図4には、ディスクアレイサブシステム（2）とHOST（1）の接続を示す。ディスクアレイサブシステム（2）は、ディスクアレイコントローラ部（3）とハードディスク（5）を複数台搭載したハードディスク部（4）とから構成される。ディスクアレイサブシステム（2）はデータに保証コードであるパリティを附加してハードディスク部（4）に格納する記憶装置である。HOSTからのデータをまずメモリに格納し、そのデータに保証コードであるパリティデータを生成、その後データと生成したパリティデータをハードディスクに格納する。

【0017】図5にHOST（1）からディスクアレイコントローラ部（3）を通してハードディスクドライブHDD（5）までのデータの流れを示す。ホストインターフェースプロトコルコントローラHPC（7）はHOST（1）からのアクセスを受領したらMPU（6）に報告する機能とデータ転送を行う機能を持つ。ダイナミックメモリアクセスコントローラDMA CTL（11）は、マイクロプロセッサユニットMPU（6）からの指示に基づき、HPC（7）～メモリ（9）間のデータ転送を行う機能を持つ。ドライブインターフェースプロトコルコントローラDPC（14）は、DMA CTL（11）～HDD（5）間のデータ転送制御を行う。

【0018】HOST（1）からアクセスが来ると、HPC（7）よりMPU（6）に報告が入り、MPU（6）はアクセスの種類を解析して、DMA CTL（11）を起動し、ライトの場合メモリにデータを格納し、リードの場合はメモリからHPCにデータを出力する。

【0019】図5ではHOST（1）からデータライトが来た場合のデータの流れ（8, 12, 13）を示す。データは、メモリ（9）にHPC（7）を経由して格納される。そのデータに対してパリティ演算回路（10）によりパリティデータを生成し、メモリ（9）に格納する。その後、データ及びパリティデータをDPC（14）を経由してHDD（5）に格納する。

【0020】図6に図5で説明したDMA CTL（11）とDPC（14）がプリント基板（15）上に搭載されている図を示す。プリント基板（15）上に実装されているDMA CTL（11）とDPC（14）間は複数ビットのBUS（16）で接続されている。

【0021】図7に、DMA CTL（11）とDPC（14）を接続した場合のBUS接続の基本接続例を示す。DMA CTL（11）とDPC（14）の同じ番

号のビットを接続する。すなわち、DMA CTL (1 1) のビット 7 (17) と DPC (1 4) のビット 7 (25)、DMA CTL (1 1) のビット 6 (18) と DPC (1 4) のビット 6 (26)、DMA CTL (1 1) のビット 5 (19) と DPC (1 4) のビット 5 (27)、DMA CTL (1 1) のビット 4 (20) と DPC (1 4) のビット 4 (28)、DMA CTL (1 1) のビット 3 (21) と DPC (1 4) のビット 3 (29)、DMA CTL (1 1) のビット 2 (22) と DPC (1 4) のビット 2 (30)、DMA CTL (1 1) のビット 1 (23) と DPC (1 4) のビット 1 (31)、DMA CTL (1 1) のビット 0 (24) と DPC (1 4) のビット 0 (32) をそれぞれ接続する。

【0022】この場合、接続するためにはプリント基板上の配線で並び替えを行う必要がある。すなわち、図7の上段図において、半導体チップ間の同一番号端子間に単純に接続すると、その接続配線は交差（クロス）することとなる。しかし、上段図のC層のようにプリント基板の配線は一平面上でのパターン配線であり交差させることができないのであるから、プリント基板上のパターン配線を用いて上述の端子間接続をしようとするとき、図7の中段及び下段に示すD層とE層のパターン配線を用いる必要がある。まず、DMA CTL (1 1) 及び DPC (1 4) が実装されているC層 (33) で、チップから信号線を引出す。D層 (34) ではビットの並び替えを行う。E層 (35) ではD層 (34) で並べ替えた信号をC層 (33) のDPC (1 4) から引出した配線の部分まで配線する。このように、プリント基板に3層の層が必要となる。

【0023】さらに、図7においては、DMA CTL (1 1) と DPC (1 4)との同じ番号のビットを接続する複数の信号線は、配線長が異なる。したがって、複数の信号線毎の遅延時間制限がルーズになってしまい、データ転送の高速化に限界が生じる。したがって、高速なデータ転送が要求される電子機器、特にディスクアレイサブシステムにおいては、データ転送の高速化に支障をきたす。

【0024】なお、図7ではそれぞれの半導体チップの端子配列が逆順序となっている例 (7→0と0→7) を挙げたが、この例は両者の接続において最も厳しい条件の場合である。図7の例では、交差しないパターン配線したC層、D層、E層の薄板を重ねて1つのプリント基板としている。また、各層の黒丸部位はその表裏が導通しており、他の層との重ね合わせ時にその黒丸部位の位置が一致する場合に層間のパターン配線が互いに接続できるようになっている。

【0025】また、BUS接続の他の接続例として、プリント基板の面積に余裕がある場合は、図8の様にDMA CTL (1 1) と DPC (1 4) の配置をずらすこ

とにより、C層 (33) で DMA CTL (1 1) 及び DPC (1 4) から信号を引出し、D層 (34) で並べ替えを行うとなり、プリント基板に2層の層が必要となる。さらに、図8においては、DMA CTL (1 1) と DPC (1 4) との同じ番号のビットを接続する複数の信号線は、配線長が異なる。したがって、複数の信号線毎の遅延時間制限がルーズになってしまい、データ転送の高速化に限界が生じる。したがって、高速なデータ転送が要求される電子機器、特にディスクアレイサブシステムにおいては、データ転送の高速化に支障をきたす。なお、図8でC層の引き出し線の長さがそれぞれ異なるのは、D層に示すパターン配線模様（均一な配線隙間を確保したもの）で並べ替えを行うために必要である。

【0026】次に、本発明の実施形態に係るBUS接続方式について、図1、図2及び図3を参照しながら以下説明する。図1には、DMA CTL (1 1) と DPC (1 4) を接続した場合のBUSの接続例を示す。BUSの並びを外部のピン (36, 37) の設定により、例えば、外部ピン36をアース接続し（グランド電位を与える）、外部ピン37を電源接続する（Vcc+又はVcc-接続する）ことにより、そのまま（ストレート接続）とするか（図1のチップ1 1の接続態様）、ビット7を0に、ビット6を1に、ビット5を2に、ビット4を3に、ビット3を4に、ビット2を5に、ビット1を6に、ビット0を7に変換接続するか（図1のチップ1 4の接続態様）、を選択する機能を持ち、DMA CTL (1 1) はそのままの並び、DPC (1 4) は並び替えを行う設定をし、且つ、プリント基板上ではストレートに配線（ストレートのパターン配線）することにより、C層 (33) のみで配線可能となる。

【0027】図示の並べ替えを行う回路は、半導体チップ内の回路構成である。図1の例示でDPC14における並べ替え回路はクロス配線しているが、このクロス配線はプリント基板上の配線ではなく、半導体チップ内のクロス配線であるからクロスさせることは可能である。ここで、外部ピン（半導体チップの外部と接続するための接続端）36, 37をプリント基板のアースと接続（A-）するかプリント基板の電源と接続（A）するかは、半導体チップ組み込み後に設定可能であるが、半導体チップをプリント基板に組み込む際に回路設定されてもよい。

【0028】図2に図1で説明したDPC (1 4) の内部の回路を示す。すなわち、図2は半導体チップ内の並べ替え回路の詳細構造図である。外部からの入力信号7 (32) ~ 0 (25) を内部の信号D7 (63) ~ D0 (70) とする際に外部ピン (37) の状態が0であれば、インバータゲート (38) を経由して1となった信号がANDゲート (39) ~ (46) に入力され、外部からの入力信号7 (32) ~ 0 (25) がANDゲート

(39)～(46)を通過し、ORゲート(55)～(62)を経由して内部の信号となる。

【0029】逆に、外部のピン(37)が1の場合、ANDゲート(47)～(54)にその信号が入力され、外部からの入力信号7(32)～0(25)がビットの並びをスワップした状態でANDゲート(47)～(54)を通過し、ORゲート(55)～(62)を経由して内部の信号となる。

【0030】上述した図2の構成例の説明では、外部ピンによる設定にて説明を行ったが、外部ピンに代えて、内部レジスタ（例えば、半導体チップ内蔵のフリップフロップFF）の設定でも可能である。その場合の回路を図3に示す。すなわち、図3は半導体チップ内の並替え回路の他の詳細構造図である。図2の外部ピンの部分がフリップフロップ(71)となり、フリップフロップの状態によって図2で説明を行った動作となる。この際、図5のMPUからの指示によってフリップフロップの状態を変更することができる。

【0031】また、ビットをランダムに設定することも可能である。ランダムにするためには、外部からの信号7(32)～0(25)とANDゲート(47)～(54)の接続を適宜に変更すればよい。即ち、図1において、DMA CTL(11)の7をDPC(14)の7に接続するのではなくて、7→6, 6→5, …というように接続端番号を任意の番号同士で接続する場合である。更に、半導体チップの接続端子が、図1の例の外に、(7～0)ビットの0バイトと(15～8)ビットの1バイトの接続端子がある場合に、0バイトと1バイトのバイト間で変更すること、即ち(7～0)ビットを(15～8)ビットにそっくり入れ替えて並び替えることも可能である。

【0032】以上説明したように、本発明では、半導体チップの設定でBUSの並びを変え、プリント基板上の半導体チップ間の接続をストレートに行えるようにすることにより、信号線間のすきまの確保による信号間の干渉の低減、信号が配線の層を跨ることをなくすることにより信号品質の向上、配線長を短くすることによる遅延時間の低減を可能とする。

【0033】特に、本実施形態によれば、DMA CTLとDPCとを接続する複数の信号線の長さは可能な限り均一となるため、複数の信号線毎における厳格な遅延時間制限を満たすことができる。同様に、本実施形態によれば、HPCとDMA CTLとを接続する複数の信号線の長さも可能な限り均一となるため、複数の信号線毎における厳格な遅延時間制限を満たすことができる。したがって、本実施形態によれば、ディスクアレイサブシステムにおいて、大量のデータをより高速に転送することができ、さらなるHDDの台数の増加をも実現することができる。

#### 【0034】

【発明の効果】本発明によれば、配線に必要なパターン配線の層数を減らすことができ、信号線間の信号干渉を低減でき、パターン配線長の短縮化による遅延時間の低減を図ることができる。

#### 【図面の簡単な説明】

【図1】本発明の実施形態に係るバス接続方式の全体構成を示す図である。

【図2】本実施形態に係るバス接続方式の具体的回路構成を示す図である。

【図3】本実施形態に係るバス接続方式の他の具体的回路構成を示す図である。

【図4】本発明の実施形態に係るバス接続方式を適用するディスクアレイサブシステムに関連する全体構成を示す図である。

【図5】ディスクアレイサブシステムの構成及びデータ流れを示すブロック図である。

【図6】プリント基板に半導体チップを搭載して半導体チップ間の接続関係を示す図である。

【図7】半導体チップ間のバス接続方式の基本的技術を示す図である。

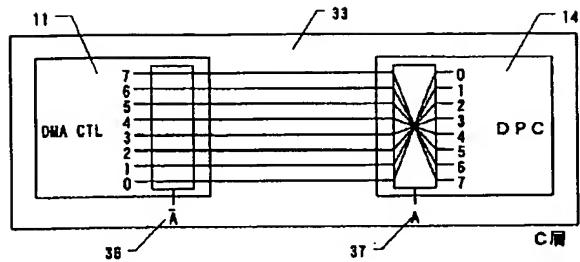
【図8】半導体チップ間のバス接続方式の他の基本的技術を示す図である。

#### 【符号の説明】

- 1 HOST
- 2 ディスクアレイサブシステム
- 3 ディスクアレイコントローラ部
- 4 ハードディスク部
- 5 HDD (ハードディスクドライブ)
- 6 MPU (マイクロプロセッサユニット)
- 7 HPC (ホストインターフェースプロトコルコントローラ)
- 8 HOSTからメモリへのデータの流れ
- 9 メモリ
- 10 パリティ演算回路
- 11 DMA CTL (ダイナミックメモリアクセスコントローラ)
- 12 パリティ演算時のデータの流れ
- 13 メモリからHDDへのデータの流れ
- 14 DPC (ドライブインターフェースプロトコルコントローラ)
- 15, 33, 34, 35 プリント基板
- 16 バス配線
- 17～32, 63～70 信号
- 36, 37 設定ピン
- 38 インバータゲート
- 39～54 ANDゲート
- 55～62 ORゲート
- 71 フリップフロップ

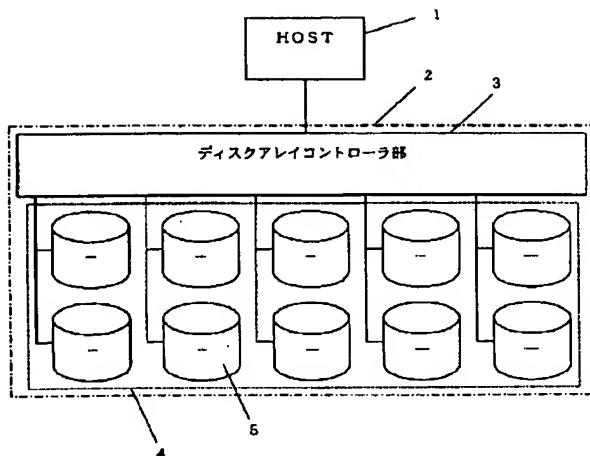
【図1】

図1



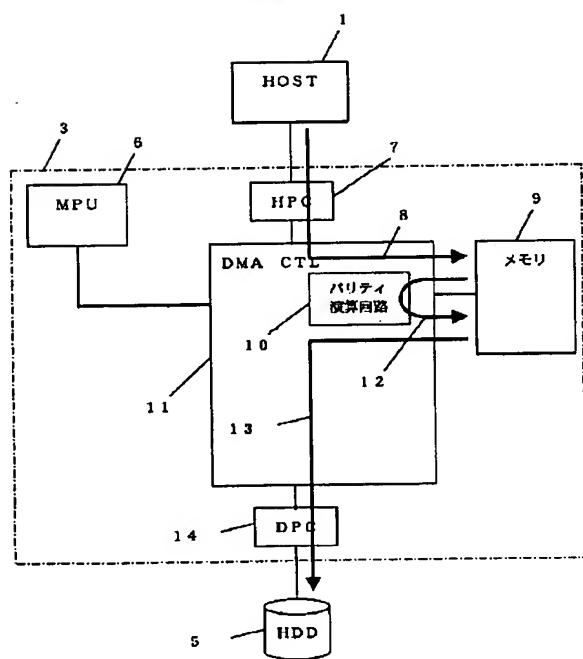
【図4】

図4



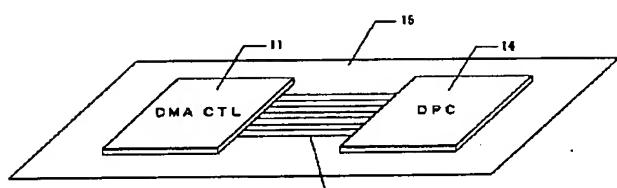
【図5】

図5



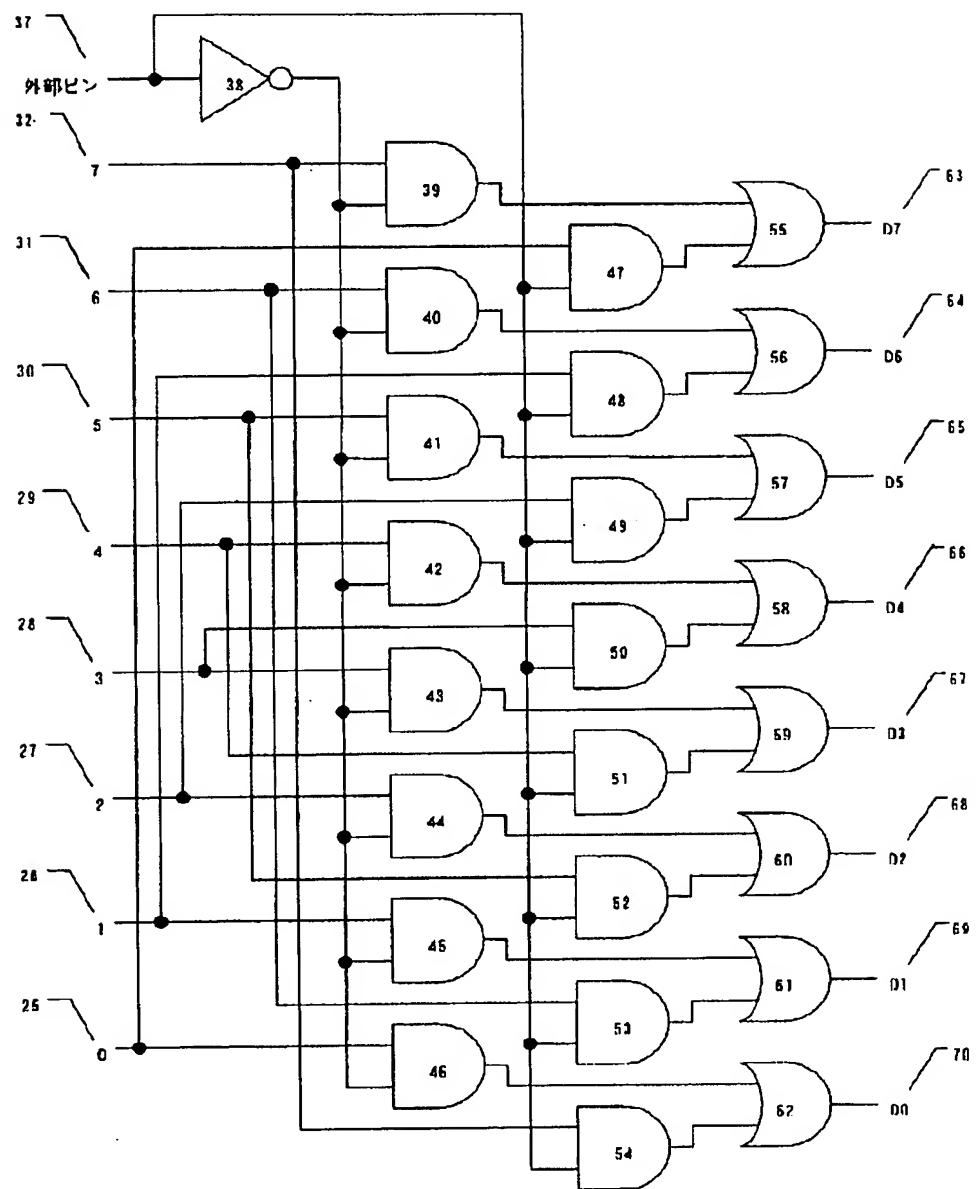
【図6】

図6



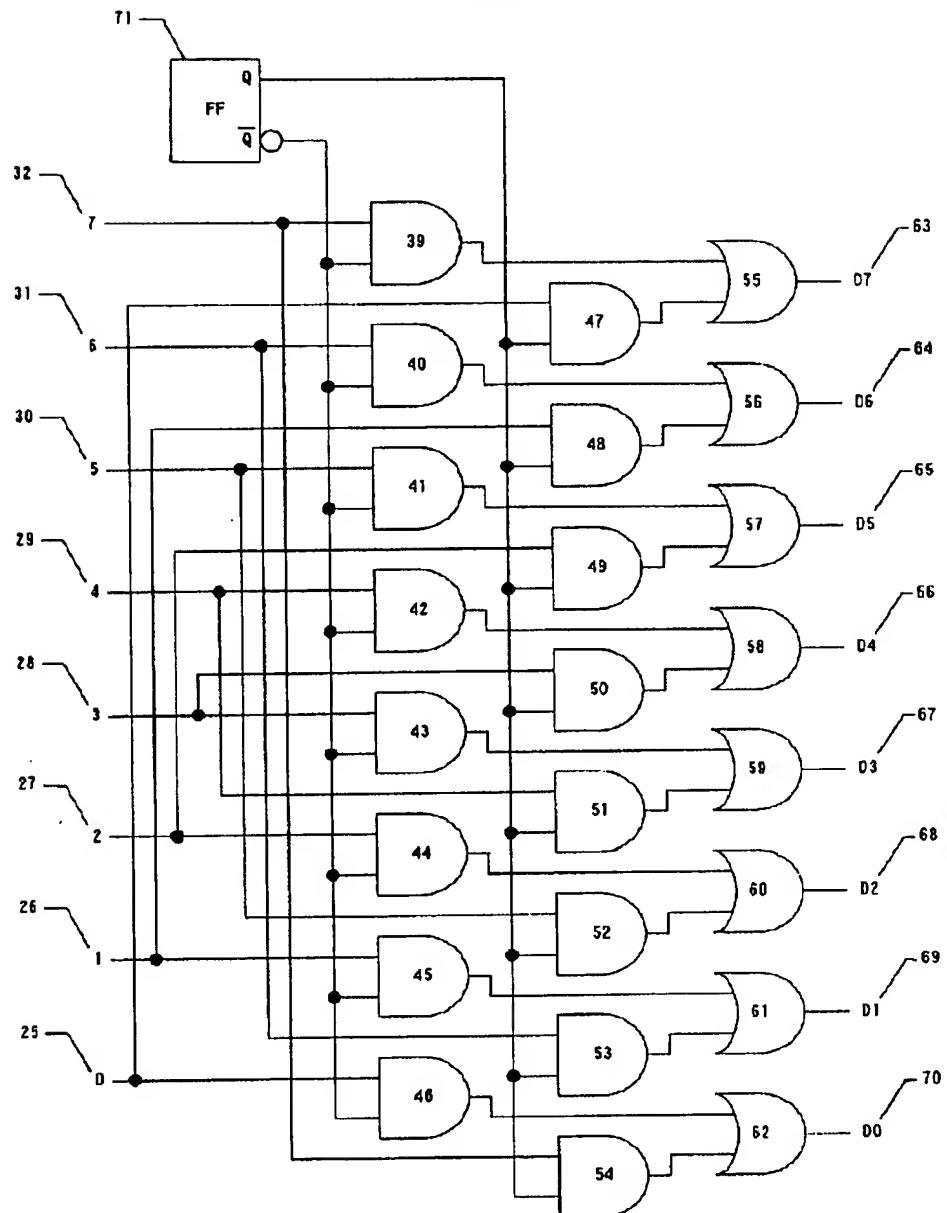
【図2】

図2

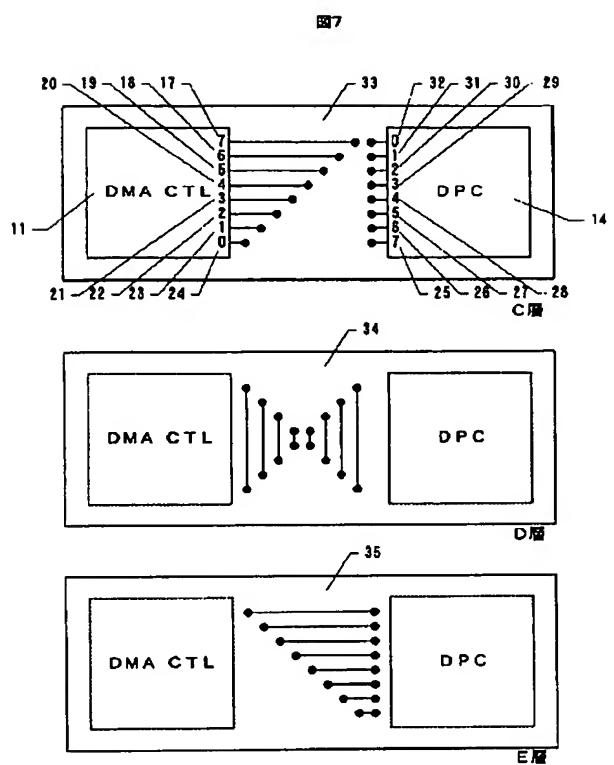


【図3】

図3



【図7】



【図8】

